

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-364044

(43)Date of publication of application : 16.12.1992

(51)Int.Cl. H01L 21/331
H01L 29/73

(21)Application number : 03-139008 (71)Applicant : TOSHIBA CORP

(22)Date of filing : 11.06.1991 (72)Inventor : ITO NOBUYUKI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To improve cut-off frequency and reduce parasitic resistance and parasitic capacity by epitaxial growth a base layer and introducing self alignment process.

CONSTITUTION: A silicon film which includes impurity material of a first conductivity type or silicon-germanium alloy is epitaxially grown on a substrate 1 to form a base layer 5. A silicon film which includes impurity material of a second conductivity type is epitaxially grown on the base layer 5 and an emitter layer 6 is formed. Then the impurity material of a second conductivity type is introduced into the collector leading area of a polycrystal silicon film 9. An oxide film 10 is accumulated on the area. After accumulating an oxide film 11 on the whole plane of the substrate 1 etch back is performed and the oxide film 11 is left on the side wall of a mesa constituted of the oxide film 10 and the polycrystal silicon film 9. Such process of forming the side wall of the oxide film 11 allows the formation of an emitter/contact area 12 by self alignment.

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平4-364044

(43)公開日 平成4年(1992)12月16日

(51)Int.Cl.⁵
H 01 L 21/331
29/73

識別記号

序内整理番号

F I

技術表示箇所

7377-4M

H 01 L 29/72

審査請求 未請求 請求項の数2(全8頁)

(21)出願番号

特願平3-139008

(22)出願日

平成3年(1991)6月11日

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 伊藤 信之

神奈川県川崎市幸区小向東芝町1 株式会

社東芝総合研究所内

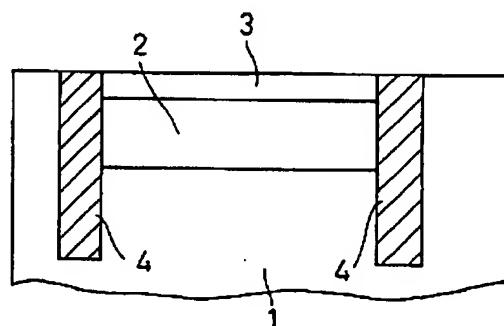
(74)代理人 弁理士 三好 秀和 (外4名)

(54)【発明の名称】 半導体装置の製造方法

(57)【要約】

【目的】遮断周波数を向上すると共に、寄生容量・寄生抵抗を減少して、高速動作を可能とし、エミッタ・ベース耐圧の劣化を防止する。

【構成】コレクタ層上にベース層、エミッタ層を順次エピタキシャル成長し、エミッタ層、ベース層を順次エッティング除去コレクタ層を露出し、エッティングにより得た凹部に第1絶縁膜を埋め込み平坦化し、上記得られた平坦面上にベース層と同一の導電型層、第2絶縁膜を順次堆積し、エミッタ層上の第2絶縁膜、導電型層を順次開孔し、開孔部の側壁に第3絶縁膜のサイドウォールを形成し、サイドウォールを有する開孔部の周りにエミッタ層と同一導電型のエミッタ電極を形成する。



1

2

【特許請求の範囲】

【請求項1】 基板の表面部にコレクタ層を形成する工程と、上記コレクタ層上にベース層、エミッタ層を順次エピタキシャル成長させる工程と、上記エミッタ層、上記ベース層を順次エッチング除去し上記コレクタ層を露出する工程と、上記エッチングにより得た凹部に第1絶縁膜を埋め込み平坦化する工程と、上記得られた平坦面上に上記ベース層と同一の導電型層、第2絶縁膜を順次堆積する工程と、上記エミッタ層上の上記第2絶縁膜、上記導電型層を順次開孔する工程と、上記開孔部の側壁に第3絶縁膜のサイドウォールを形成する工程と、上記サイドウォールを有する開孔部の周りに上記エミッタ層と同一導電型のエミッタ電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【請求項2】 基板の表面部にコレクタ層を形成する工程と、上記コレクタ層上にベース層をエピタキシャル成長させる工程と、上記ベース層上に第1絶縁膜を堆積し上記第1絶縁膜をエッチングして上記コレクタ層の所定部上に残置する工程と、上記第1絶縁膜の側壁に第2絶縁膜のサイドウォールを形成する工程と、上記第1絶縁膜および上記第2絶縁膜により形成され上記サイドウォールを有するメサの外側に露出する上記ベース層上に上記ベース層と同一の導電型層を選択的に形成する工程と、上記第1絶縁膜を溶液によりウェットエッチング除去し開孔部を形成する工程と、上記開孔部内にエミッタ層を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体装置の製造方法に係り、特に高速バイポーラトランジスタの製造方法に関する。

【0002】

【従来の技術】 近年、高性能バイポーラトランジスタは、コンピュータ等に用いられる高速演算用のプロセッサやメモリー等のデジタル回路用素子としては勿論、オペアンプやコンバレータ等のアナログ回路用素子及びデジタル/アナログ混載のDA/ADコンバータとしても広く用いられ、高速性・高集積化が要求されている。

【0003】 ところで、この種のバイポーラトランジスタを高速に動作させるためにはベース幅を薄くして遮断周波数 f_T を向上させる必要がある。

【0004】 従来、バイポーラトランジスタのベース幅を薄くコントロールする技術として、低加速のイオン注入を用いる方法や固層拡散による方法等が検討され、短時間拡散と共に成果を上げている。さらに最近では、イオン注入における不純物分布のだれを抑えるために、ベース層をエピタキシャル成長によって形成する技術が開発され、トランジスタ単体レベルでの検証が行われてい

る。

【0005】

【発明が解決しようとする課題】 上述した従来のバイポーラトランジスタにおいては、ベース層をエピタキシャル成長によって形成することによって、薄いベース層を形成することが検討されている。このような技術を用いたトランジスタでは、大別して2つの構造が考えられている。1つはプレーナ型のバイポーラトランジスタであり、いま1つはメサ型のバイポーラトランジスタである。

【0006】 一般に、プレーナ型のバイポーラトランジスタでは、絶縁膜により素子分離を行った後、ベースのエピタキシャル成長を行う。そして、ベース上に形成された絶縁膜を開口し、この開口部にポリシリコンを堆積すると共に、エミッタ拡散を行い、エミッタを形成する。従って、ベースの下がシリコンであるか、絶縁膜であるかによってエピタキシャル成長されるベースの結晶状態が大きく異なる。例えば絶縁膜ではポリシリコンあるいはアモルファシリコンが形成される。このため、素子分離領域と活性領域とを近づけてしまうと素子分離領域と活性領域の接する領域では結晶状態の悪さからリーク電流が生じるという問題点があった。

【0007】 また、ポリシリコンを拡散してエミッタを形成するので、ベース幅のコントロールが拡散条件のゆらぎやポリシリコン/シリコン界面の状態に依存してしまう。さらに、薄膜ベースを形成する場合、ベース濃度が低いとベース層が空乏層で覆われてしまい、エミッタ・コレクタ間にリーク電流が流れ、ベース濃度が高いとエミッタ・ベース間の電界が強くなり、トンネリング電流が大きくなる。また、エミッタのプロファイルコントロールが自由にならない等の欠点があり、これらの欠点を解消するため、エミッタをエピタキシャル成長によつて形成した場合、エミッタを形成する領域が周囲を絶縁膜によって囲まれているため、エピタキシャル成長を行う際に結晶方向の違いによりエピ成長速度に差が生じ、周囲を絶縁膜で囲まれた領域に一様にシリコンを埋め込むことができない。即ち、ファセットが生じるという問題点があった。

【0008】 一方、メサ型のバイポーラトランジスタでは、シリコン基板の広い領域上にベースのエピタキシャル成長を行い、この上に連続してエミッタのエピタキシャル成長を行うため、上述したプレーナ型バイポーラトランジスタにみられる欠点はないが、メサ構造はセルフアライメントプロセスとの整合が悪く、微細化に向かないという問題点があった。

【0009】 ところで、バイポーラトランジスタの高速動作を可能にするためには、遮断周波数を向上させると共に、寄生容量・寄生抵抗を減少させる必要もある。

【0010】 ベース上の絶縁膜をエッチングしてエミッタとなる窓を形成する場合、エピタキシャル成長によつ

て精度良く形成したベースの厚さを保証し、ベースへのダメージを防ぐためには次のような方法がある。つまり、ベースおよび酸化膜上に形成した空化膜を異方性ドライエッティングで開孔し、露出した酸化膜を溶液によりウェットエッティングするという工程である。しかしながら、セルフアラインプロセスが導入できないため、寄生容量・寄生抵抗が大きくなり、高速動作ができない。その上、酸化膜がサイドエッティングされることにより、エミッタ面積が大きくなり、エミッタ・ベース耐圧が劣化するという問題点があった。

【0011】本発明の目的は、上述した問題点に鑑み、遮断周波数を向上すると共に、寄生容量・寄生抵抗を減少して、高速動作を可能とし、エミッタ・ベース耐圧の劣化を防止した半導体装置の製造方法を提供するものである。

【0012】

【課題を解決するための手段】本発明は上述した目的を達成するため、基板の表面部にコレクタ層を形成する工程と、上記コレクタ層上にベース層、エミッタ層を順次エピタキシャル成長させる工程と、上記エミッタ層、上記ベース層を順次エッティング除去し上記コレクタ層を露出する工程と、上記エッティングにより得た凹部に第1絶縁膜を埋め込み平坦化する工程と、上記得られた平坦面上に上記ベース層と同一の導電型層、第2絶縁膜を順次堆積する工程と、上記エミッタ層上の上記第2絶縁膜、上記導電型層を順次開孔する工程と、上記開孔部の側壁に第3絶縁膜のサイドウォールを形成する工程と、上記サイドウォールを有する開孔部の周りに上記エミッタ層と同一導電型のエミッタ電極を形成する工程とを含むものである。

【0013】また、基板の表面部にコレクタ層を形成する工程と、上記コレクタ層上にベース層をエピタキシャル成長させる工程と、上記ベース層上に第1絶縁膜を堆積し上記第1絶縁膜をエッティングして上記コレクタ層の所定部上に残置する工程と、上記第1絶縁膜の側壁に第2絶縁膜のサイドウォールを形成する工程と、上記第1絶縁膜および上記第2絶縁膜により形成され上記サイドウォールを有するメサの外側に露出する上記ベース層上に上記ベース層と同一の導電型層を選択的に形成する工程と、上記第1絶縁膜を溶液によりウェットエッティング除去し開孔部を形成する工程と、上記開孔部内にエミッタ層を形成する工程とを含むものである。

【0014】

【作用】本発明においては、ベース層をエピタキシャル成長し、かつセルフアラインプロセスを導入したので、遮断周波数 f_s が向上し、寄生抵抗・寄生容量が低下する。従って、トランジスタの高速動作が可能になり、エミッタ面積のばらつきおよびエミッタ・ベース耐圧の劣化が防止される。また、エミッタ層をエピタキシャル成長するので、エミッタ不純物分布のコントロールおよび

ベース幅のコントロールが容易となる。

【0015】

【実施例】以下、本発明製造方法に係わる実施例を図1乃至図22に基づいて説明する。

【0016】まず、第1導電型を有する半導体基板1上に、第2導電型を有する高濃度コレクタ層2を形成し、さらにこの高濃度コレクタ層2の表面部に低濃度コレクタ層3を積層形成する。その後、素子間分離のための酸化膜4を形成する(図1)。

10 【0017】次に、上記基板1上に第1導電型の不純物を含むシリコン膜もしくは第1導電型の不純物を含むシリコン・ゲルマニウム合金をエピタキシャル成長させ、ベース層5を形成する。さらに、この上に第2導電型の不純物を含むシリコン膜をエピタキシャル成長させ、エミッタ層6を形成する。このとき、酸化膜4上のベース層5は必ずしも単結晶になっている必要はない(図2)。

【0018】統いて、活性領域およびコレクタ引き出し領域の部分を残すようにフォトレジストによりパターンを形成し、このフォトレジストをマスクとする異方性のドライエッティングによりエピタキシャル成長させたエミッタ層6及びベース層5をエッティングする。このとき、エミッタ層6及びベース層5に凹部7が形成される(図3)。

【0019】次いで、上記凹部7に酸化膜8を埋め込み平坦化を行う(図4)。

【0020】統いて、基板1上に不純物ドーピングのない多結晶シリコン膜9を堆積した後、フォトレジストによるマスクイオン注入等の方法により上記多結晶シリコン膜9のベースの引き出し電極となる領域に第1導電型の不純物を導入する。同様に、フォトレジストによるマスクを用いたイオン注入等の方法により第2導電型の不純物を多結晶シリコン膜9のコレクタ引き出し領域に導入する。そして、上記多結晶シリコン膜9上に酸化膜10を堆積する(図5)。

【0021】さらに、ベースの引き出し電極となる部分およびコレクタ引き出し領域となる部分にフォトレジストのマスクをかぶせて、酸化膜10、多結晶シリコン膜9を順次エッティングする(図6)。

40 【0022】次に、基板1全面に酸化膜11を堆積した後、エッチバックし、酸化膜11を酸化膜10および多結晶シリコン膜9より構成されるメサの側壁に残す。かかる酸化膜11のサイドウォール形成工程によって、エミッタコンタクト領域12をセルフアラインで形成する(図7)。

【0023】次に、基板1上に第2導電型の多結晶シリコン膜を堆積し、これがエミッタコンタクト領域12の周りにのみ残るように、フォトレジストによるマスクを用いてエッティングし、エミッタ電極13を形成する。この場合、多結晶シリコン膜への第2導電型不純物の導入

は多結晶シリコン膜の堆積と同時に行うか、あるいは堆積後にイオン注入等の方法により行ってもよい(図8)。

【0024】しかる後、ベースの引き出し電極となる領域およびコレクタ引き出し領域の酸化膜10にコンタクトホール10aを開孔し、このコンタクトホール10aの周りおよびエミッタ電極13上に金属配線14を形成する(図9)。

【0025】以上の様に、本願発明によればエピタキシャル成長によりエミッタ層、ベース層を形成後、凹部に酸化膜を埋め込んでいるので、素子分離領域と活性領域の接する部分でも結晶状態が良好であり、リーク電流等が生じることはない。また、図7に示す工程においてセルフアラインでエミッタコンタクト領域を形成することができ、素子を微細化することができる。

【0026】さらに、他の実施例を図10乃至図22により述べる。

【0027】先ず、第1導電型を有する半導体基板20上に第2導電型を有する高濃度コレクタ層21を形成した後、上記高濃度コレクタ層21の表面部に第2導電型を有する低濃度コレクタ層22を形成する。その後、酸化膜23を形成し、素子間分離を行う。そして、上記構成素子を含む基板20上に第1導電型の不純物を含むシリコン膜もしくは第1導電型の不純物を含むシリコン・ゲルマニウム合金をエピタキシャル成長させ、ベース層24を形成した後、このベース層24上に酸化膜25をデポジションする。このとき、酸化膜23上のベース層24は必ずしも単結晶になっている必要はない(図10)。

【0028】次いで、エミッタとなる領域を除いて酸化膜25を残すように形成されたフォトレジストパターンをマスクとして、酸化膜25を異方性ドライエッティングした後、基板20の全面に窒化膜26をデポジションする。なお、エッティングにより露出したベース層24はトランジスタの活性領域として用いないので、ドライエッティングにより若干のダメージが入ったり、薄くなってしまわぬ(図11)。

【0029】次に、上記窒化膜26を異方性のドライエッティングによりエッティングし、酸化膜25の側壁にのみ残置する(図12)。

【0030】そして、ベース層24をレジストパターンによりエッティングし、外部ベースとなる領域にのみ残置する(図13)。

【0031】さらに、コレクタ引き出しのための高濃度層を形成するために、コレクタ引き出し領域のみ開孔するレジストパターン27を用いて、第2導電型の不純物を低濃度コレクタ層22にイオン注入する(図14)。

【0032】その後、基板20の全面に酸化膜28をデポジションする(図15)。

【0033】次に、エッティングによりコレクタ引き出し

領域にのみ酸化膜28を残す。これは、基板20面の露出を防ぎ、次工程で行われる単結晶シリコン、多結晶シリコンまたはシリサイド膜の選択成長を確実にするためである(図16)。

【0034】しかる後、外部ベースとなる領域の露出しているベース層24上に膜29を選択成長させる。ここで、上記膜29としては、第1導電型の不純物を含む単結晶シリコンか多結晶シリコンあるいは不純物を含まない単結晶シリコンか多結晶シリコンもしくは金属シリサイド膜を用いる。ただし、用いた膜29が不純物を含まない単結晶シリコンまたは多結晶シリコンの場合には、後で第1導電型の不純物をイオン注入等の方法を用いて導入する必要がある(図17)。

【0035】次に、基板20の全面に窒化膜30をデポジションする(図18)。

【0036】続いて、エミッタ領域上ののみを開孔するレジストパターン31を形成する(図19)。

【0037】その後、酸化膜25を弗酸系の溶液を用いてエッティング除去する。このとき、エッティングに弗酸系の溶液を用いるため、ベース層24はエッティングされず、ダメージもない。また、除去される酸化膜25の周囲は窒化膜26により囲まれているため、サイドエッティングが入ってエミッタ面積がばらついたり、大きくなったり、ましてエミッタ・ベース耐圧の劣化を引き起こす可能性もない(図20)。

【0038】続いて、エミッタ領域に多結晶シリコンまたは単結晶シリコンを選択的もしくは非選択的にデポジションし、エミッタ層32を形成する。なお、多結晶シリコンまたは単結晶シリコンを非選択的にデポジションした場合は、後にレジストパターンを用いて多結晶シリコンまたは単結晶シリコンがエミッタ領域にのみ残置するようエッティングしなければならない(図21)。

【0039】続いて、外部ベースとなる領域およびコレクタ引き出し領域にコンタクトホール33を開孔し、このコンタクトホール33上およびエミッタ層32上に金属配線34を形成する(図22)。

【0040】斯くして、本実施例のバイポーラトランジスタでは、エミッタ・外部ベースの間隔が窒化膜26のデポジションした膜厚で制御されるので、寄生容量・寄生抵抗が小さく、かつ微細なトランジスタが形成でき、高速化が可能となる。

【0041】

【発明の効果】以上説明したように本発明によれば、ベース層をエピタキシャル成長し、かつセルフアラインプロセスを導入したので、遮断周波数 f_T が向上でき、寄生抵抗・寄生容量が低下する。従って、トランジスタの高速動作ができると共に、エミッタ面積のばらつきおよびエミッタ・ベース耐圧の劣化が防止できる。また、エミッタ層をエピタキシャル成長するので、エミッタ不純物分布のコントロールおよびベース幅のコントロールが

できる。

【図面の簡単な説明】

- 【図1】本発明方法の製造工程断面図である。
- 【図2】本発明方法の製造工程断面図である。
- 【図3】本発明方法の製造工程断面図である。
- 【図4】本発明方法の製造工程断面図である。
- 【図5】本発明方法の製造工程断面図である。
- 【図6】本発明方法の製造工程断面図である。
- 【図7】本発明方法の製造工程断面図である。
- 【図8】本発明方法の製造工程断面図である。
- 【図9】本発明方法の製造工程断面図である。
- 【図10】本発明方法の他の製造工程断面図である。
- 【図11】本発明方法の他の製造工程断面図である。
- 【図12】本発明方法の他の製造工程断面図である。
- 【図13】本発明方法の他の製造工程断面図である。
- 【図14】本発明方法の他の製造工程断面図である。
- 【図15】本発明方法の他の製造工程断面図である。
- 【図16】本発明方法の他の製造工程断面図である。

【図17】本発明方法の他の製造工程断面図である。

【図18】本発明方法の他の製造工程断面図である。

【図19】本発明方法の他の製造工程断面図である。

【図20】本発明方法の他の製造工程断面図である。

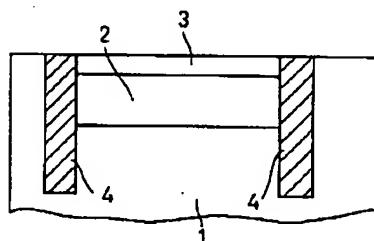
【図21】本発明方法の他の製造工程断面図である。

【図22】本発明方法の他の製造工程断面図である。

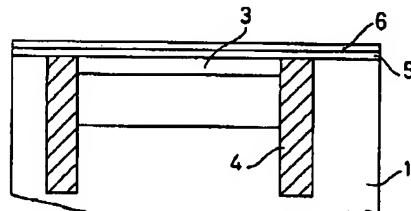
【符号の説明】

1, 20	半導体基板
2, 21	高濃度コレクタ層
10 3, 22	低濃度コレクタ層
4, 10, 11, 23, 25, 28	酸化膜
5, 24	ベース層
6, 32	エミッタ層
9	多結晶シリコン膜
13	エミッタ電極
14, 34	金属配線
26, 30	空化膜
29	膜

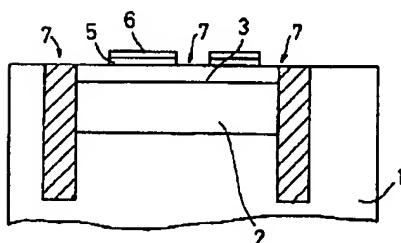
【図1】



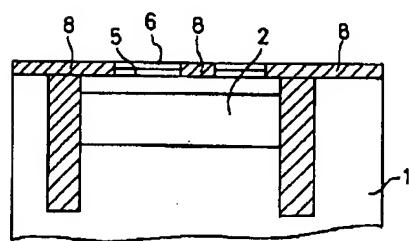
【図2】



【図3】



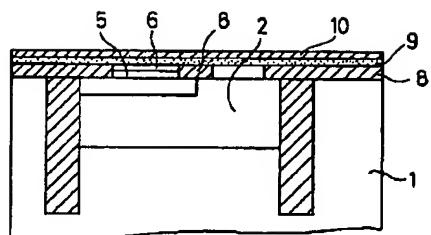
【図4】



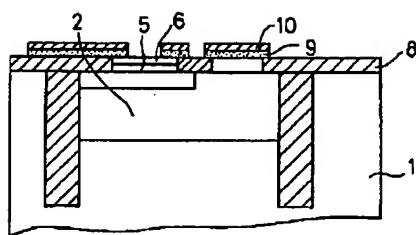
(6)

特開平4-364044

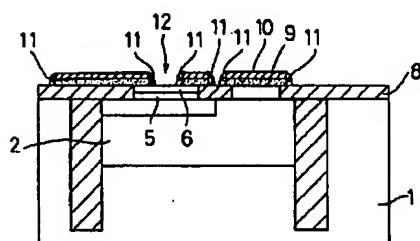
【図5】



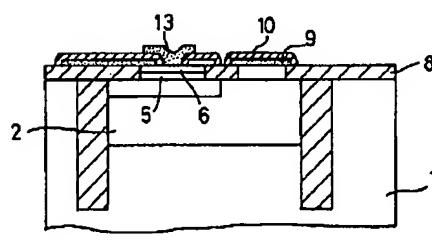
【図6】



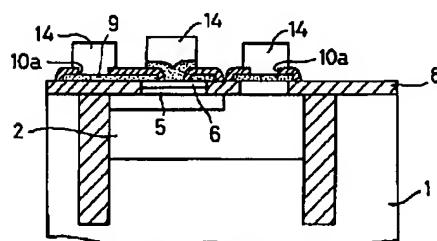
【図7】



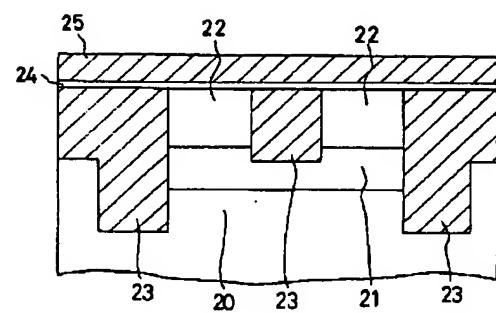
【図8】



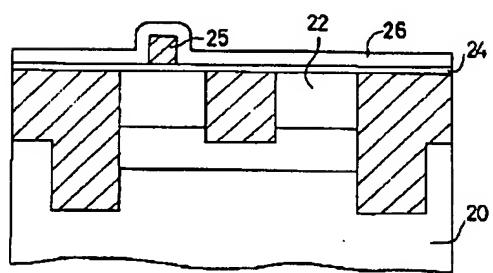
【図9】



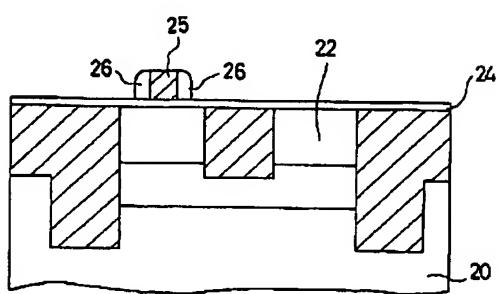
【図10】



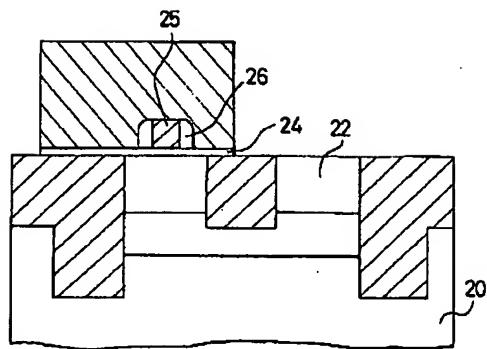
【図11】



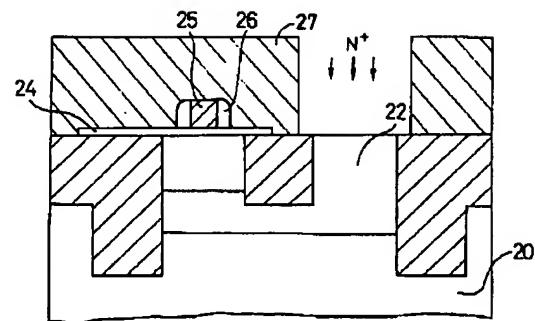
【図12】



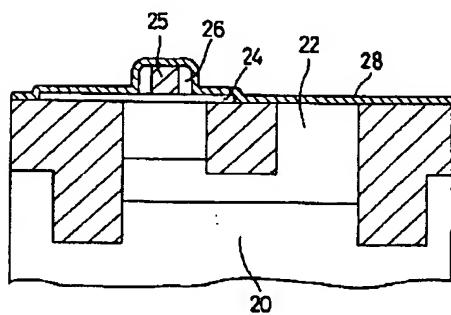
【図13】



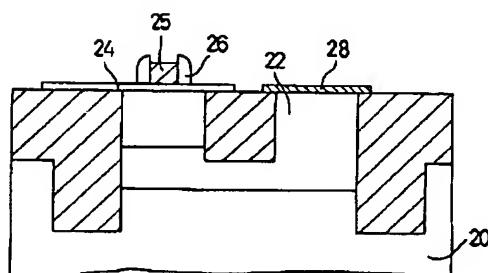
【図14】



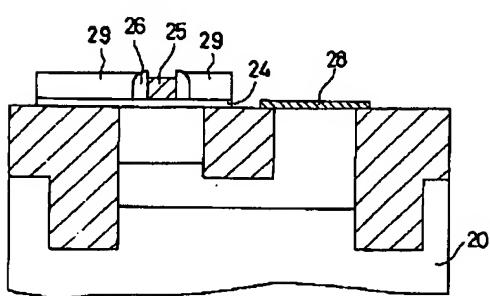
【図15】



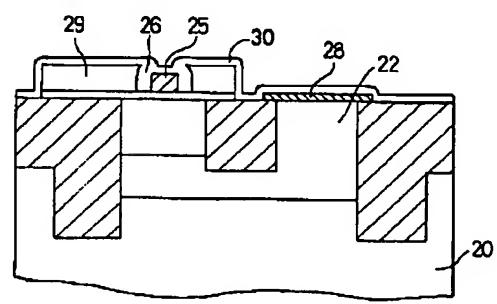
【図16】



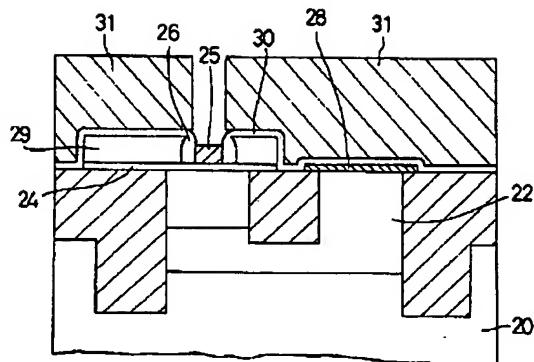
【図17】



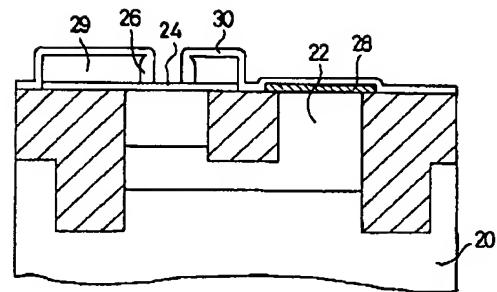
【図18】



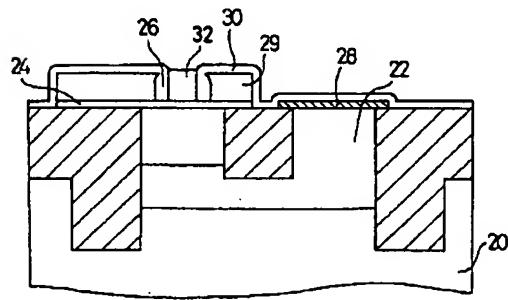
【図19】



【図20】



【図21】



【図22】

